

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026867

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H04J 11/00

H04L 27/38

H04L 27/22

(21)Application number : 2000-210962

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 12.07.2000

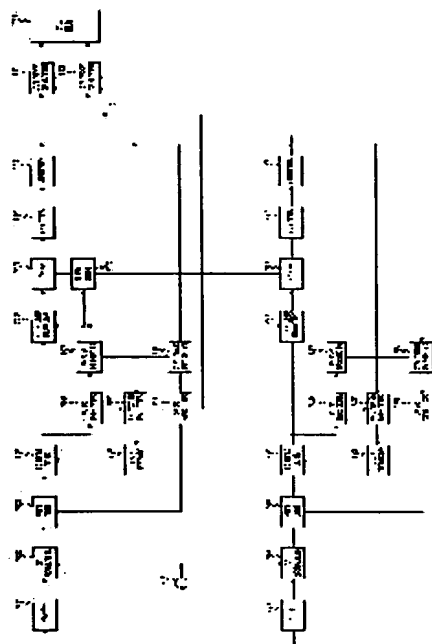
(72)Inventor : KOYAMA KO
SEKI TAKASHI

(54) DATA SELECTION DEMODULATING APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To overcome the problem of a conventional data selection demodulator such that its demodulation performance has remarkably deteriorated because received modulation signals cannot have been sampled in optimum timing.

SOLUTION: Digital modulation signals selected from a signal received by an antenna at a prescribed frequency band are obtained, and a plurality of clock control means generates sampling timings from the obtained signals. A plurality of delay means delay demodulated data obtained from the digital modulation signal for a prescribed period and a mixer means mixes the delayed data. The delay means control the delays so that the sampling timings of a demodulated symbol of the demodulation signal received by the mixer means are identical to each other. Thus, the demodulator can stably demodulate the received signal even in a fading state and the data selection demodulator without deterioration in the demodulation performance can be realized with a small circuit scale.



LEGAL STATUS

[Date of request for examination] 24.07.2000

[Date of sending the examiner's decision of rejection] 16.07.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-26867

(P2002-26867A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl. ⁷	識別記号	F I	データ* (参考)
H 0 4 J 11/00		H 0 4 J 11/00	Z 5 K 0 0 4
H 0 4 L 27/38		H 0 4 L 27/00	G 5 K 0 2 2
27/22		27/22	C

審査請求 有 請求項の数 4 O L (全 16 頁)

(21) 出願番号	特願2000-210962 (P2000-210962)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成12年7月12日 (2000.7.12)	(72) 発明者	小山 鋼 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
		(72) 発明者	関 隆史 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
		(74) 代理人	100083161 弁理士 外川 英明

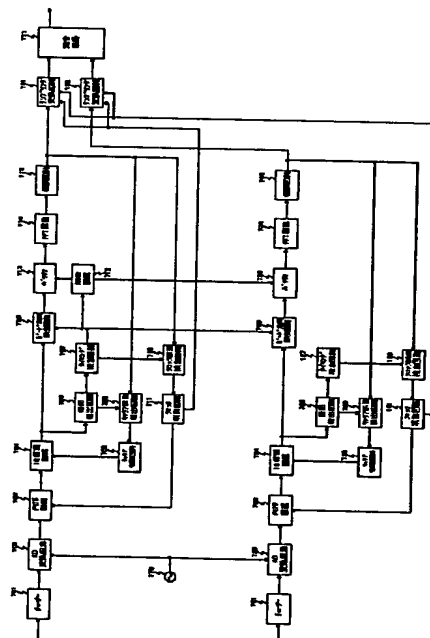
最終頁に続く

(54) 【発明の名称】 データ選択復調装置

(57) 【要約】

【課題】 受信した複数の変調信号に最適なタイミングでサンプリングを行うことができないため、著しく復調性能が劣化していた。

【解決手段】 アンテナにより受信した受信信号から所定の周波数帯を選局し複数のデジタル変調信号を得、この信号から複数のクロック制御手段により複数のサンプリングタイミングを生成する。前記複数のデジタル変調信号から得た複数の復調データを複数の遅延手段により所定期間遅延し、この遅延されたデータを混合手段により混合する。この混合手段に入力される復調信号の復調シンボルのサンプリングタイミングが同一になるよう前記遅延手段の遅延量を制御する。これによりフェージング状態でも安定して復調を行うことができ、かつ、復調性能の劣化の無いデータ選択復調装置を少ない回路規模で提供することである。



【特許請求の範囲】

【請求項1】 アンテナにより受信した受信信号から所定の周波数帯を選局し複数のデジタル変調信号を出力する複数のチューナーと、
前記複数のデジタル変調信号からサンプリングタイミングを生成する複数のクロック制御手段と、
前記複数のデジタル変調信号から復調データを生成する複数の復調手段と、
前記複数の復調データを所定期間遅延する複数の遅延手段と、
前記遅延手段により遅延されたデータを混合する混合手段と、
前記混合手段に入力される復調信号の復調シンボルのサンプリングタイミングが同一になるよう前記遅延手段の遅延量を制御する制御手段とを有することを特徴とするデータ選択復調装置。

【請求項2】 前記制御手段は、前記複数のクロック制御手段により遅延量を制御することを特徴とする請求項1記載のデータ選択復調装置。

【請求項3】 前記復調データの有効シンボル期間を示す信号を生成する複数のタイミング検出手段を有し、
前記制御手段は、前記タイミング検出手段の検出結果により遅延量を制御することを特徴とする請求項1記載のデータ選択復調装置。

【請求項4】 前記複数のデジタル変調信号が同期状態か否かを判定する同期判定手段を有し、
前記制御手段は、前記同期判定手段の判定結果が非同期状態のとき、この非同期状態と判定されたデジタル変調信号から生成されたサンプリングタイミングを用いないことを特徴とする第1項記載のデータ選択復調装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、復調装置に関し、特に複数のデジタル変調信号から1つのデータを復調するデータ選択復調装置に関する。

【0002】

【従来の技術】一般に信号レベルが2値で表わされるデジタル信号データ（以下、シンボルと称する）を伝送するために用いられるデジタル変調方式として、PSK（Phase Shift Keying）、QAM（Quadrature Amplitude Modulation）、OFDM（Orthogonal Frequency Division Multiplexing）等の方式が知られている。

【0003】これらのデジタル変調方式を採用した変調装置（以下、デジタル変調装置と称する）では、所定の時間間隔のクロック（以下元クロックと称する）でサンプリングおよび量子化されたIとQの2つのシンボルを用いて、アナログの搬送波（キャリア）の直交変調を行っている。

【0004】このように変調された変調信号をさらに、VHF帯、UHF帯等の送信周波数帯域（Radio Freque-

ncy）に周波数変換して送出する。

【0005】一方、前記デジタル変調方式の復調装置（以下デジタル復調装置と称する）では、チューナーで、希望波の信号を選局、IF（Intermediate Frequency）に周波数変換した信号を、AD変換回路でデジタル信号に変換した後、IQ復調回路でキャリア成分を除去し、所定のシンボルレベルと比較して、最も近いシンボルレベルを再生シンボル値として再生するようにしている。

【0006】通常、この様にデジタル復調装置でシンボルを再生するためには、デジタル変調装置の元クロックと同期したサンプリングクロック（以下、再生クロックと称する）を再生する必要がある。

【0007】すなわち、前記AD変換回路に元クロックと同期した再生クロックを供給し、デジタル変調装置と同期してサンプリングを行う必要がある。

【0008】また、シンボルを再生する他の方法として、内挿回路を用いる方法が知られている。

【0009】すなわち、前記AD変換回路は元クロックと非同期のクロックでアナログ信号をデジタル信号に変換し、変換されたデジタル信号をデジタル変調装置と同期したタイミング信号を用いて内挿することにより、デジタル変調装置と同期したサンプリング信号に変換する。

【0010】また、特に車等で移動しながら受信を行なう際、複数のデジタル変調信号より、1つのデータを復調する、いわゆるダイバーシチ受信を行なうことにより、受信する電波の強度が時間変動する、いわゆるフェーディング状態でもある程度安定した復調を行なうことができることが知られている。

【0011】すなわち、複数のアンテナを用いて受信位置の異なる複数の電波を受信し、常に最も強度の高い電波を選択して復調することにより、安定した復調を行なうことができる。

【0012】さらに、複数の復調回路を有し、前記受信位置の異なる複数の電波から周波数変換された変調信号をそれぞれ独自に復調した後、選択、もしくは混合する構成とすることにより、それぞれの復調信号に応じた復調動作を行なうことができ、誤り率等の受信性能を向上することができる。

【0013】以下、図7から図9を用いて従来のデータ選択復調装置について説明する。

【0014】図7は変調方式としてOFDMを用いた場合の、従来のデータ選択復調装置の構成を示す図である。

【0015】図7において、第1のチューナー701は、図示しない第1のアンテナにより受信した電波から希望波の信号を選局すると共に、IFに周波数変換した信号を第1のAD変換回路702へ出力する。

【0016】第1のAD変換回路702は、第1のチュ

ーナー701から入力されたアナログ信号を、発振器770から入力されるクロックでサンプリングしてデジタル信号に変換し、第1の内挿回路703へ出力する。

【0017】第1の内挿回路703は、第1のAD変換回路から入力された信号を、クロック制御回路711から入力されるクロック制御信号に基づいて内挿することにより、デジタル変調装置と同期したサンプリング信号に変換し、第1のIQ復調回路704へ出力する。

【0018】第1のIQ復調回路704は、第1の内挿回路703から入力された信号を、第1のキャリア制御回路709から入力される再生キャリア信号に基づいてIQ信号に復調し、第1のガード期間除去回路705および第1の相関検出回路706へ出力する。

【0019】第1の相関検出回路706は、第1のIQ復調回路704から入力された信号によりガード期間の相関を検出し、タイミング検出回路707および第1のキャリア誤差検出回路708へ出力する。

【0020】タイミング検出回路707は、第1の相関検出回路706から入力された信号から、ガード期間と有効シンボル期間を識別するタイミング信号（以下、シンボルタイミング信号と記す）を生成し、第1のガード期間除去回路705、制御回路712、クロック誤差検出回路710および第2のガード期間除去回路725へ出力する。

【0021】第1のガード期間除去回路705は、第1のIQ復調回路704の出力信号から、タイミング検出回路707から入力されたシンボルタイミング信号に基づいてガード期間の信号を除去し、第1のバッファ713へ出力する。

【0022】制御回路712は、タイミング検出回路707から入力されたシンボルタイミング信号に基づいて第1のバッファ713および第2のバッファ733の制御信号を生成し、それぞれ第1のバッファ713、第2のバッファ733へ出力する。

【0023】第1のバッファ713は、第1のガード期間除去回路705から入力された信号を制御回路712からの制御信号に基づいて並び替え、第1のFFT回路714へ出力する。

【0024】第1のFFT回路714は第1のバッファ713から入力された信号をフーリエ変換し、第1の復調回路715へ出力する。

【0025】第1の復調回路715は、第1のFFT回路714から入力された信号からシンボルを復調し、第1のキャリア誤差検出回路708、クロック誤差検出回路710および混合回路771へ出力する。

【0026】第1のキャリア誤差検出回路708は、第1の相関検出回路706および第1の復調回路715からの信号からキャリアの誤差信号を生成し、第1のキャリア制御回路709へ出力する。

【0027】第1のキャリア制御回路709は、第1の

キャリア誤差検出回路708からのキャリアの誤差信号から再生キャリア信号を生成し、第1のIQ復調回路704へ出力する。

【0028】クロック誤差検出回路710は、タイミング検出回路707からのシンボルタイミング信号および第1の復調回路715からの信号から、クロックの誤差信号を生成し、クロック制御回路711へ出力する。

【0029】クロック制御回路711は、クロック誤差検出回路710からのクロックの誤差信号から、デジタル変調装置と同期したサンプリングタイミングを示すクロック制御信号を生成し、第1の内挿回路703および第2の内挿回路723へ出力する。

【0030】第2のチューナー721は、図示しない第2のアンテナにより受信した電波から希望波の信号を選局すると共に、IFに周波数変換した信号を第2のAD変換回路722へ出力する。

【0031】第2のAD変換回路722は、第2のチューナー721から入力されたアナログ信号を、発振器770から供給されるクロックでサンプリングしてデジタル信号に変換し、第2の内挿回路723へ出力する。

【0032】第2の内挿回路723は、第2のAD変換回路から供給された信号を、クロック制御回路711から入力されるクロック制御信号に基づいて内挿することにより、デジタル変調装置と同期したサンプリング信号に変換し、第2のIQ復調回路724へ出力する。

【0033】第2のIQ復調回路724は、第2の内挿回路723から入力された信号を、第2のキャリア制御回路729から入力される再生キャリア信号に基づいてIQ信号に復調し、第2のガード期間除去回路725および第2の相関検出回路726へ出力する。

【0034】第2の相関検出回路726は、第2のIQ復調回路724から入力された信号によりガード期間の相関を検出し、第2のキャリア誤差検出回路728へ出力する。

【0035】第2のガード期間除去回路725は、第2のIQ復調回路724の出力信号から、タイミング検出回路707から入力されたシンボルタイミング信号に基づいてガード期間の信号を除去し、第2のバッファ733へ出力する。

【0036】第2のバッファ733は、第2のガード期間除去回路725から入力された信号を制御回路712からの制御信号に基づいて並び替え、第2のFFT回路734へ出力する。

【0037】第2のFFT回路734は第2のバッファ733から入力された信号をフーリエ変換し、第2の復調回路735へ出力する。

【0038】第2の復調回路735は、第2のFFT回路734から入力された信号からシンボルを復調し、第2のキャリア誤差検出回路728および混合回路771へ出力する。

【0039】第2のキャリア誤差検出回路728は、第2の相関検出回路726および第2の復調回路735からの信号からキャリアの誤差信号を生成し、第2のキャリア制御回路729へ出力する。

【0040】第2のキャリア制御回路729は、第2のキャリア誤差検出回路728からのキャリアの誤差信号から再生キャリア信号を生成し、第2のIQ復調回路724へ出力する。

【0041】混合回路771は、第1の復調回路715および第2の復調回路735から供給される信号を選択もしくは混合して1つの復調信号を生成復調結果として出力する。

【0042】次に図8を用いて、第1の相関検出回路706、第2の相関検出回路726、タイミング検出回路707の動作について更に詳しく説明する。

【0043】図8(a)はOFDM信号のフォーマットを示すタイミング図である。図8(b)はIQ復調信号を示す。図8(c)はIQ復調信号を1有効シンボル期間遅延した信号を示す。図8(d)は相関検出信号を示す。図8(e)は、シンボルタイミング信号を示す。

【0044】図8(a)に示す通り、OFDM信号は、有効シンボル期間とガード期間より構成されており、ガード期間には、有効シンボル期間の後端部を複製した信号が重畳されている。このため第1の相関検出回路706、第2の相関検出回路726は、IQ復調信号とIQ復調信号を1有効シンボル期間遅延した信号との相関をとった信号（以下、相関検出信号と記す）を得る。第1の相関検出回路706は、得た相関検出信号をタイミング検出回路707および第1のキャリア誤差検出回路708へ出力する。第2の相関検出回路726は、得た相関検出信号を第2のキャリア誤差検出回路728へ出力する。

【0045】相関検出信号は、図8(d)に示す通りガード期間の後縁部で最も高い相関を示すので、タイミング検出回路707は、ピークを検出することにより図8(e)に示すガード期間と有効シンボル期間を識別するシンボルタイミング信号を生成し、第1のガード期間除去回路705、制御回路712、クロック誤差検出回路710および第2のガード期間除去回路725へ出力する。

【0046】更に、クロック誤差検出回路710の動作について説明する。

【0047】上記したとおり、図8(d)に示す相関検出信号はガード期間の後縁部で最も高い相関を示す。しかし、復調装置のクロックの位相に誤差がありサンプリングタイミングがずれた場合、クロックの位相誤差に応じてピークの位置がずれる。従って相関検出信号のピークの周期を検出することにより、クロック誤差を検出することができる。

【0048】次に図9を用いて、制御回路712、第1

のバッファ713および第2のバッファ733の動作を説明する。第1のバッファ713と第2のバッファ733の構成および動作は共通であり、いずれもメモリ1とメモリ2の2バンクで構成される。

【0049】図9は第1のバッファ713或いは第2のバッファ733の動作を示すタイミング図である。図9(a)はOFDM信号のフォーマットを示すタイミング図である。図9(b)は、シンボルタイミング信号を表す。図9(c)はメモリ1のライト／リード動作を示すタイミング図である。図9(d)はメモリ2のライト／リード動作を示すタイミング図である。

【0050】OFDM信号は第1のガード期間除去回路705もしくは第2のガード期間除去回路725から供給される。シンボルタイミング信号はタイミング検出回路707から供給される。メモリ1、メモリ2への書き込みタイミングはシンボルタイミング信号で制御される。即ち、上記のとおりOFDM信号は、有効シンボル期間とガード期間より構成されており、シンボルタイミング信号で区別される。

【0051】このうち、FFT回路714、734でフーリエ変換されるのは有効シンボル期間のみであり、図9(c)、図9(d)に示すようにメモリ1、メモリ2のライト／リードは有効シンボル期間にのみ行われる。

【0052】メモリ1とメモリ2のライト／リード動作は交互に行われる。即ち、メモリ1に書き込みを行っているときはメモリ2から読み出しが行われ、メモリ2に書き込みを行っているときはメモリ1から読み出しが行われる。

【0053】以上説明したように、従来のデータ選択復調装置は、複数の復調回路を有し、それぞれの変調信号に応じた復調動作を行なうよう構成することにより、復調回路が1個の場合より、フェージングが存在する環境で安定した復調動作を行なうことができる。

【0054】しかし、以上説明した従来のデータ選択復調装置は、以下のような不具合がある。

【0055】上記複数のデジタル変調信号は、各々異なる経路で伝送されてくるため復調回路に到達するまでの遅延時間が異なる。このため本来上記複数の変調信号をサンプリングするタイミングも各々の復調回路で異なる。よって各々の変調信号を異なるタイミングでサンプリングすると、各々の復調信号より1つの復調信号を生成する際に、各々のタイミングがずれるため困難が生じる。

【0056】このため、従来のデータ選択復調装置は、一方の変調信号よりサンプリングタイミングを生成して、各々の変調信号を同一のタイミングでサンプリングするよう構成されていた。このように構成すると少なくとも一方の復調回路は、本来のタイミングとは異なる位相でサンプリングされることになり、最適な復調を行うことができなかった。また例えば一方の変調信号が断絶

するような劣悪な受信状態では、サンプリングタイミングを得るのに用いている側の変調信号が断絶した場合、デジタル変調装置と同期したサンプリングタイミングを得ることができないため、正常な復調動作をすることができない。

【0057】この不具合を解消するため、例えば、受信した複数の復調信号の信号レベルを検出し、信号レベルの高い変調信号を選択してサンプリングタイミングを得よう構成する方法も考えられるが、この場合、クロックの切替時に不連続点が生じるため、瞬時的な破綻を生じる可能性がある。

【0058】更に、これまでサンプリングタイミングについて論じてきたが、復調されたシンボル（以下、復調シンボルと記す）のタイミングにも同様な不具合が存在する。即ち、複数の復調信号を選択、合成するためには、各々の復調シンボルのタイミングを同一にする必要がある。このため従来のデータ選択復調装置では、一方の変調信号よりシンボルタイミング信号を生成することにより各々の復調シンボルのタイミングを同一にするよう構成されていた。このため少なくとも一方の復調回路は、本来の有効シンボル期間とは異なるデータを復調することになり、最適な復調信号を行うことができなかった。

【0059】

【発明が解決しようとする課題】このように従来のデータ選択復調装置では、受信した複数の変調信号に最適なタイミングでサンプリングを行うことができないため、著しく復調性能が劣化するという問題があった。

【0060】また、一方の変調信号が断絶するような劣悪な受信状態では復調動作をすることができないという問題があった。

【0061】この発明は上述した問題を解決するべくなされたもので、フェージング状態でも安定して復調を行うことができ、かつ、復調性能の劣化の無いデータ選択復調装置を少ない回路規模で提供することである。

【0062】

【課題を解決するための手段】上記の目的を達成するために、この発明のデータ選択復調装置においては、アンテナにより受信した受信信号から所定の周波数帯を選局し複数のデジタル変調信号を出力する複数のチューナと、前記複数のデジタル変調信号からサンプリングタイミングを生成する複数のクロック制御手段と、前記複数のデジタル変調信号から復調データを生成する複数の復調手段と、前記複数の復調データを所定期間遅延する複数の遅延手段と、前記遅延手段により遅延されたデータを混合する混合手段と、前記混合手段に入力される復調信号の復調シンボルのサンプリングタイミングが同一になるよう前記遅延手段の遅延量を制御する制御手段とを有することを特徴とする。

【0063】

【発明の実施の形態】（第1の実施の形態）以下、図1乃至図3を用いて、この発明の第1の実施の形態について説明する。

【0064】図1は、この発明の第1の実施の形態に係るデータ選択復調装置の構成を示すものである。

【0065】図1に示した構成は、図7に示した従来のデータ選択復調装置に、第2のタイミング検出回路127、第2のクロック誤差検出回路130、第2のクロック制御回路131、第1のサンプリング変換回路181、第2のサンプリング変換回路182を追加し、第2の内挿回路923に供給するクロック制御信号を第2のクロック制御回路から供給するように変更し、混合回路971に供給する信号を、第1のサンプリング変換回路181および第2のサンプリング変換回路182より供給するように変更したものであり、他の構成は図7に示した構成と同一なので説明を省略する。

【0066】第2のタイミング検出回路127は、第2の相関検出回路726から入力された信号から、ガード期間と有効シンボル期間を識別するシンボルタイミング信号を生成し、第2のクロック誤差検出回路130へ出力する。

【0067】第2のクロック誤差検出回路130は、第2のタイミング検出回路127からのシンボルタイミング信号および第2の復調回路735からの信号から、クロックの誤差信号を生成し、第2のクロック制御回路131へ出力する。

【0068】第2のクロック制御回路131は、第2のクロック誤差回路130からのクロックの誤差信号から、デジタル変調装置と同期したサンプリングタイミングを示すクロック制御信号を生成し、第2の内挿回路723、第1のサンプリング変換回路181および第2のサンプリング変換回路182へ出力する。

【0069】第1のサンプリング変換回路181は、第1のクロック制御回路711および第2のクロック制御回路131からそれぞれ入力されるクロック制御信号から決定した遅延量で第1の復調回路715から入力される信号を遅延させ混合回路771へ出力する。

【0070】第2のサンプリング変換回路182は、第1のクロック制御回路711および第2のクロック制御回路131からそれぞれ入力されるクロック制御信号から決定した遅延量で第2の復調回路735より供給される信号を遅延させ混合回路771へ出力する。この遅延制御については、後で詳細に説明する。

【0071】次に図2および図3を用いて、第1のサンプリング変換回路181、第2のサンプリング変換回路182について更に詳細に説明する。

【0072】図2は、図1に示したこの発明の第1の実施の形態に係るデータ選択復調装置のサンプリング変換回路の構成を示す図であり、第1のサンプリング変換回路181、第2のサンプリング変換回路182とも共

通である。

【0073】入力端子211には、発振器770からクロック信号CLKが供給される。入力端子212には、第1のクロック制御回路711から第1のクロック制御信号ENAが供給される。入力端子213には、第2のクロック制御回路131から第2のクロック制御信号ENBが供給される。入力端子221には、第1の復調回路715もしくは第2の復調回路735から復調信号DATAIが供給される。

【0074】第1のフリップフロップ201は復調信号DATAIをクロック信号CLKで1クロック遅延した信号DELAY1を第2のフリップフロップ202および選択回路204へ出力する。第2のフリップフロップ202は第1のフリップフロップ201から入力された信号DELAY1をクロック信号CLKで1クロック遅延した信号DELAY2を選択回路204へ出力する。

【0075】選択回路204は、第1のクロック制御信号ENAおよび第2のクロック制御信号ENBから後述する所定のアルゴリズムで遅延量を計算し、この計算した遅延量に従い、信号DATAI、信号DELAY1、信号DELAY2のいずれか一つを選択して復調信号DATAOとして出力端子231へ出力すると共に、信号ENA、信号ENBのいずれか一方を選択して、1クロック遅延してクロック制御信号ENOとして出力端子232へ出力する。

【0076】次に、このサンプリング変換回路の動作について図3のタイミングチャートを用いて説明する。

【0077】図3(a1)乃至(a7)は図1において第1のサンプリング変換回路181に係る部分(以後A系統と称する)を、図3(b1)乃至(b7)は第2のサンプリング変換回路182に係る部分(以後B系統と称する)を表しており、第1のサンプリング変換回路181に係る信号を“_A”の添え字、第2のサンプリング変換回路182に係る信号を“_B”の添え字で表す。また、図3(1)は第1および第2のサンプリング変換回路のクロックを表わす。

【0078】図3(a1)に示す信号ENAは、“High”(以下、“H”と記す)のとき図3(a2)に示す復調信号DATAI_Aのデータが有効な期間、“Low”(以下、“L”と記す)のとき図3(a2)に示す復調信号DATAI_Aのデータが無効な期間を表している。図3(a1)に示す信号ENAが“L”の期間、図3(a2)に示す復調信号DATAI_Aは1クロック前のデータが保持されている。

【0079】図3(b1)に示す信号ENBは、“H”のとき図3(b2)に示す復調信号DATAI_Bのデータが有効な期間、“L”のとき図3(b2)に示す復調信号DATAI_Bのデータが無効な期間を表している。図3(b1)に示す信号ENBが“L”の期間、図3(b2)に示す復調信号DATAI_Bは1クロック

前のデータが保持されている。

【0080】初期状態では、図3(a1)に示す信号ENAと図3(b1)に示す信号ENBは同一タイミングで“L”となる。以後は、クロック誤差量に応じて、各々が“L”となる時期は変化するが、図3(a1)に示す信号ENAと図3(b1)に示す信号ENBの平均周期は同一であるため、その差は常にプラス・マイナス1クロックの範囲に収まっている。

【0081】図3(a3)に示す信号DELAY1_Aは、図3(a2)に示す復調信号DATAI_Aを、図2の第1のフリップフロップ201により1クロック遅延させた信号であり、図3(a4)に示す信号DELAY2_Aは、図3(a3)に示す信号DELAY1_Aを図2に示す第2のフリップフロップ202により更に1クロック遅延させた信号である。

【0082】図3(b3)に示す信号DELAY1_Bは、図3(b2)に示す復調信号DATAI_Bを、図2の第1のフリップフロップ201により1クロック遅延させた信号であり、図3(b4)に示す信号DELAY2_Bは、図3(b3)に示す信号DELAY1_Bを図2に示す第2のフリップフロップ202により更に1クロック遅延させた信号である。

【0083】図2に示す選択回路204は初期状態では1クロック遅延、即ち、信号DELAY1_Aおよび信号DELAY1_Bを選択している。以後は、図3(a1)に示す信号ENAと図3(b1)に示す信号ENBの“L”期間の到来時期に応じて、遅延量を増加もしくは減少させる。

【0084】即ち、図3のA点に示すように図3(a1)に示す信号ENAが図3(b1)に示す信号ENBより先に“L”になる場合は、図3のB点に示すようにB系統の遅延量を1クロック増加(+1)する。

【0085】次に図3のB点に示すように図3(b1)に示す信号ENBが“L”になると、図3のC点に示すようにB系統の遅延を1クロック減少(-1)して1クロック遅延に戻す。

【0086】同様に、図3のD点に示すように図3(b1)に示す信号ENBが図3(a1)に示す信号ENAより先に“L”になる場合は、図3のE点に示すようにA系統の遅延量を1クロック増加(+1)する。

【0087】次に図3のE点に示すように図3(a1)に示す信号ENAが“L”になると、図3のF点に示すようにA系統の遅延量を1クロック減少(-1)して1クロック遅延に戻す。

【0088】次に、サンプリング変換回路181から出力される出力復調信号DATAO_Aおよびサンプリング変換回路182から出力される出力復調信号DATAO_Bについて説明する。

【0089】図3(a7)に示す出力復調信号DATAO_Aは、図3(a5)に示す遅延量に応じて、遅延量

が1クロックのときには図3(a3)に示す信号DELAY1__Aを選択し、遅延量が2クロックのときには図3(a4)に示す信号DELAY2__Aを選択し出力する。

【0090】図3(b7)に示す出力復調信号DATAO__Bは、図3(b5)に示す遅延量に応じて、遅延量が1クロックのときには図3(b3)に示す信号DELAY1__Bを選択し、遅延量が2クロックのときには図3(b4)に示す信号DELAY2__Bを選択し出力する。

【0091】図3において、出力復調信号DATAO__A、出力復調信号DATAO__Bとして出力される部分を斜線で示す。図3に示す通り、図3(a7)に示すA系統の出力復調信号DATAO__Aと、図3(b7)に示すB系統の出力復調信号DATAO__Bは同一タイミングの信号となる。

【0092】次に、サンプリング変換回路181から出力される信号ENO__Aおよびサンプリング変換回路182から出力される信号ENO__Bについて説明する。

【0093】信号ENO__A、信号ENO__Bは、信号NEAと信号ENBのうち、先に“L”が到来する信号を選択し、1クロック遅延して出力する。

【0094】即ち、図3(a1)に示す信号ENAが図3(b1)に示す信号ENBより先に“L”になる場合は、図3のA点で図3(a1)に示す信号ENAが“L”になった1クロック後に、図3のB点で図3(a6)に示す信号ENO__Aおよび図3(b6)に示す信号ENO__Bが“L”となる。

【0095】同様に、図3(b1)に示す信号ENBが図3(a1)に示す信号ENAより先に“L”になる場合は、図3のD点で図3(b1)に示す信号ENBが“L”になった1クロック後に、図3のE点で図3(a6)に示す信号ENO__Aおよび図3(b6)に示す信号ENO__Bが“L”となる。

【0096】先の出力復調信号DATAO__A、出力復調信号DATAO__Bと同様に、A系統の出力クロック制御信号ENO__AとB系統の出力クロック制御信号も同一タイミングの信号となる。

【0097】以上説明したように、本発明の第1の実施の形態に係るデータ選択復調装置は、複数の変調信号を各々最適なタイミングで復調し、かつ、不整合を生じずに複数の復調信号を選択、混合することができるため、フェージングのある状態でも安定して復調を行うことができる。

【0098】(第2の実施の形態)以下、図4乃至図5を用いて、この発明の第2の実施の形態について説明する。

【0099】図4は、この発明の第2の実施の形態に係るデータ選択復調装置の構成を示すものである。

【0100】図4に示した構成は、図7に示した従来の

データ選択復調装置に、第2のタイミング検出回路127、第2のクロック誤差検出回路130、第2のクロック制御回路131を追加し、第2の内挿回路723に供給するクロック制御信号を第2のクロック制御回路から供給するように変更し、新たに第2のタイミング検出回路127、第2のクロック制御回路131から制御回路712へ信号を供給するように変更したものである。また、第2のタイミング検出回路127、第2のクロック誤差検出回路130、第2のクロック制御回路131は図1に示した構成と同一である。他の構成は図7に示した構成と同一であるため説明を省略する。

【0101】図5を用いて制御回路712の動作を説明する。

【0102】図5は第1のバッファ713および第2のバッファ732の動作を示すタイミング図である。

【0103】図5(a1)乃至(a4)は図4に示す第1のバッファ713に係る部分(以下、A系統と記す)を、図5(b1)乃至(b4)は図4に示す第2のバッファ733に係る部分(以下、B系統と記す)を表わしている。

【0104】図5(a1)はA系統のOFDM信号のフォーマットを示すタイミング図である。図5(a2)はA系統のシンボルタイミング信号を表す。第1のバッファ713は、メモリ1およびメモリ2を有している。これは1つのメモリを2つの区画に分けて使っても良い。図5(a3)はA系統のメモリ1のライト/リード動作を示すタイミング図である。図5(a4)はA系統のメモリ2のライト/リード動作を示すタイミング図である。図5(b1)はB系統のOFDM信号のフォーマットを示すタイミング図である。図5(b2)はB系統のシンボルタイミング信号を表す。第2のバッファ733は、メモリ1およびメモリ2を有している。これは1つのメモリを2つの区画に分けて使っても良い。図5(b3)はB系統のメモリ1のライト/リード動作を示すタイミング図である。図5(b4)はB系統のメモリ2のライト/リード動作を示すタイミング図である。

【0105】図5(a1)に示すA系統のOFDM信号は第1のガード期間除去回路705から供給される。図5(a2)に示すA系統のシンボルタイミング信号は第1のタイミング検出回路707から供給される。

【0106】図5(b1)に示すB系統のOFDM信号は第2のガード期間除去回路725から供給される。図5(b2)に示すB系統のシンボルタイミング信号は第2のタイミング検出回路127から供給される。

【0107】第1のバッファ713内のA系統のメモリ1、メモリ2への書き込みタイミングは、図5(a2)に示すA系統のシンボルタイミング信号で制御される。第2のバッファ733内のB系統のメモリ1、メモリ2への書き込みタイミングは、図5(b2)に示すB系統のシンボルタイミング信号で制御される。

【0108】このためA系統、B系統とも、各々異なるタイミングでOFDM信号が入力しても、正確に有効シンボル期間のデータを選択してメモリ1、メモリ2に書き込むことができる。

【0109】第1のバッファ713内のA系統のメモリ1、メモリ2および第2のバッファ733内のB系統のメモリ1、メモリ2への書き込みタイミングはA系統のシンボルタイミング信号とB系統のシンボルタイミング信号の到来時期に応じて変化する。

【0110】即ち、第1のタイミング検出回路707からのA系統のシンボルタイミング信号と、第2のタイミング検出回路127からのB系統のシンボルタイミング信号との内、遅い方を選択して制御する。

【0111】このためA系統とB系統の読み出しタイミングは同一となる。

【0112】更に、A系統とB系統の読み出しタイミングは、第1のクロック制御回路711から第1のクロック制御信号ENAおよび第2のクロック制御回路131から第2のクロック制御信号ENBで制御される。

【0113】即ち、図2に示したサンプリング変換回路と同様に、信号ENAと信号ENBの“L”期間の到来時期に応じて、遅延量を増加もしくは減少させる。

【0114】これによりA系統の出力信号と、B系統の出力信号は同一タイミングの信号となる。

【0115】以上説明したように、本発明の第2の実施の形態に係るデータ選択復調装置は、複数の変調信号を各々最適なタイミングで復調し、かつ、不整合を生じずに複数の復調信号を選択、混合することができるため、フェージングのある状態でも安定して復調を行うことができる。

【0116】（第3の実施の形態）以下、図6を用いて、この発明の第3の実施の形態について説明する。

【0117】図6、この発明の第3の実施の形態に係るデータ選択復調装置の構成を示すものである。

【0118】図6に示した構成は、図4に示した本発明の第2の実施の形態に係るデータ選択復調装置に、第1の同期判定回路691および第2の同期判定回路692を追加し、制御回路712に供給するように変更したものであり、他の構成は図4に示した構成と同一であるため説明を省略する。

【0119】第1の同期検出回路691は、第1の復調回路715から入力された信号から同期状態を示す第1の同期信号を生成して制御回路712へ出力する。第2の同期検出回路692は、第2の復調回路735から入力された信号から同期状態を示す第2の同期信号を生成して制御回路712へ出力する。

【0120】制御回路712は、図4に示した構成にさらに第1の同期信号および第2の同期信号による制御が加わったものである。

【0121】即ち、第1の同期信号が同期状態を示し第

2の同期信号が非同期状態を示したとき、B系統のクロック制御信号ENBをA系統のクロック制御信号ENAにすげ替える。これによりA系統の遅延量はB系統のクロック制御信号の影響を受けなくなり常に一定となる。

【0122】同様に、第2の同期信号が同期を示し第1の同期信号が非同期を示した場合、A系統のクロック制御信号ENAをB系統のクロック制御信号ENBにすげ替える。これによりB系統の遅延量はA系統のクロック制御信号の影響を受けなくなり常に一定となる。

【0123】従って例えば、A系統（またはB系統）の変調信号の受信レベルが著しく低下した状態でも、B系統（またはA系統）は安定した復調を行うことができる。

【0124】以上、復調信号の同期状態を示す同期信号を用いて、クロック制御信号を制御する構成について説明したが、本発明はこれに限定されるわけではない。

【0125】例えば、変調信号の受信レベルを検出し、受信レベルが低い変調信号からの制御を遮断するよう構成することも可能である。

【0126】以上説明したように、本発明の第3の実施の形態に係るデータ選択復調装置は、複数の変調信号を各々最適なタイミングで復調し、かつ、不整合を生じずに複数の復調信号を選択、混合することができるため、フェージングのある状態でも安定して復調を行うことができる。

【0127】また、一方の変調信号が断絶するような劣悪な受信状態でも安定して復調動作を行うことができる。

【0128】

【発明の効果】以上説明したように、この発明では、複数の変調信号より生成したサンプリングタイミングおよびシンボルタイミングを用いることにより、最適なタイミングで復調した複数の復調信号を選択、混合するので、フェージング状態でも安定して復調を行うことができ、かつ、復調性能の劣化の無いデータ選択復調装置を少ない回路規模で提供することである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るデータ選択復調装置の構成を説明するためのブロック図。

【図2】第1のサンプリング変換回路181、第2のサンプリング変換回路182の構成を説明するためのブロック図。

【図3】サンプリング変換回路の動作を説明するためのタイミングチャート。

【図4】本発明の第2の実施の形態に係るデータ選択復調装置の構成を説明するためのブロック図。

【図5】制御回路712の動作を説明するためのタイミングチャート。

【図6】本発明の第3の実施の形態に係るデータ選択復調装置の構成を説明するためのブロック図。

【図7】従来のデータ選択復調装置の構成を説明するためのブロック図。

【図8】第1の相関検出回路706、第2の相関検出回路726、タイミング検出回路707の動作を説明するためのタイミングチャート。

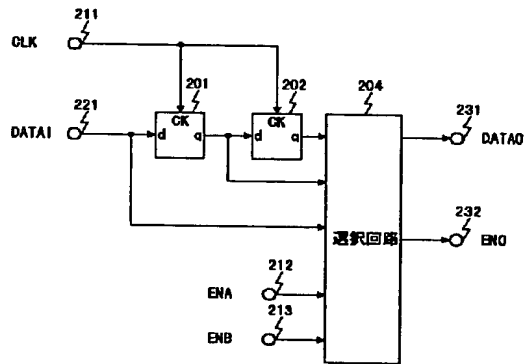
【図9】制御回路712、第1のバッファ713および第2のバッファ733の動作を説明するためのタイミングチャート。

【符号の説明】

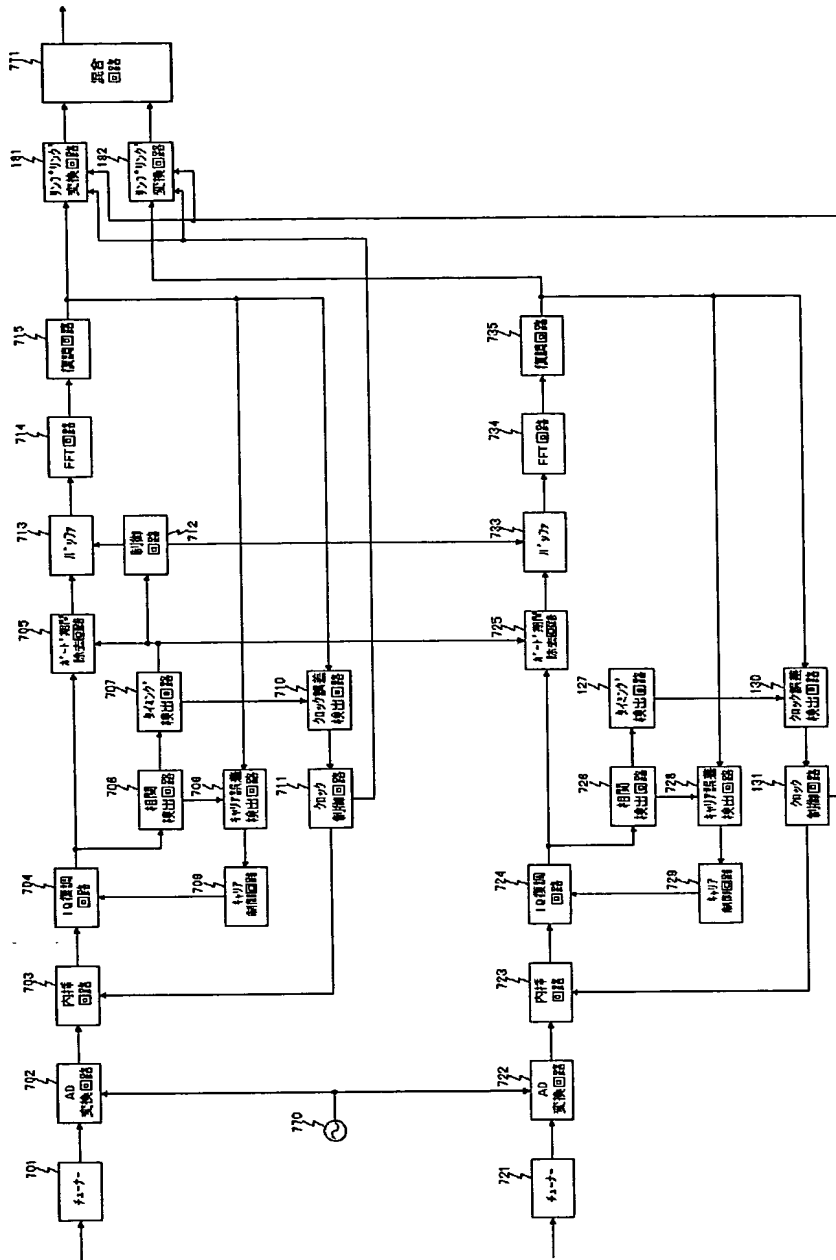
127…第2のタイミング検出回路、130…第2のクロック誤差検出回路、131…第2のクロック制御回路、181…第1のサンプリング変換回路、182…第2のサンプリング変換回路、701…第1のチューナー、702…第1のAD変換回路、703…第1の内挿回路、704…第1のIQ復調回路、705…第1のガ

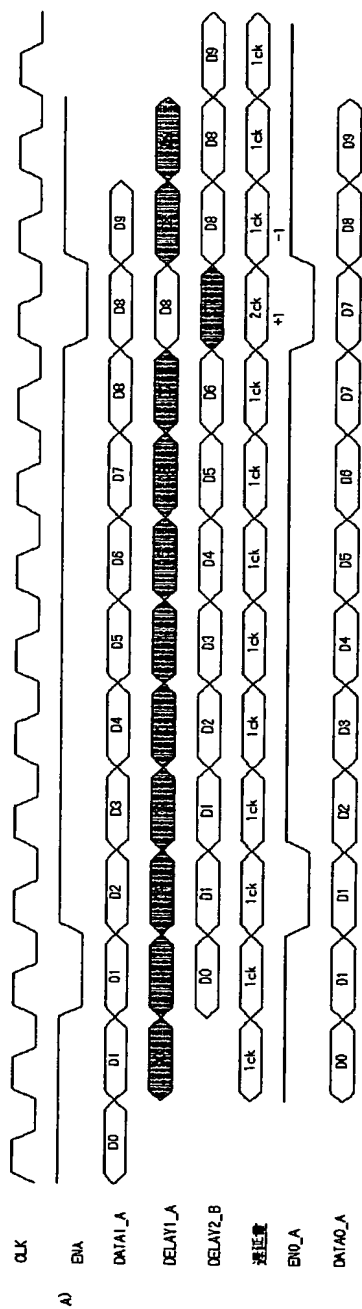
ード期間除去回路、706…第1の相関検出回路、707…第1のタイミング検出回路、708…第1のキャリア誤差検出回路、709…第1のキャリア制御回路、710…第1のクロック誤差検出回路、711…第1のクロック制御回路、712…制御回路、713…第1のバッファ、714…第1のFFT回路、715…第1の復調回路、721…第2のチューナー、722…第2のAD変換回路、723…第2の内挿回路、724…第2のIQ復調回路、725…第2のガード期間除去回路、726…第2の相関検出回路、728…第2のキャリア誤差検出回路、729…第2のキャリア制御回路、733…第2のバッファ、734…第2のFFT回路、735…第2の復調回路、770…発振器、771…混合回路。

【図2】

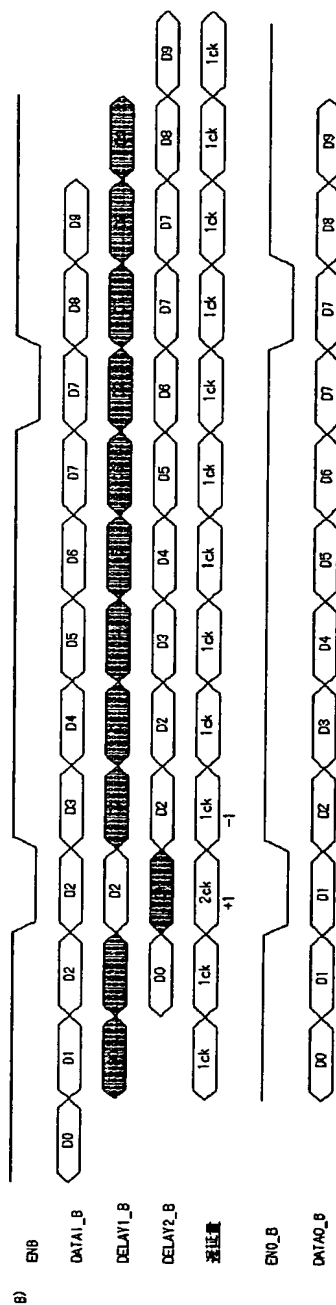


【図1】

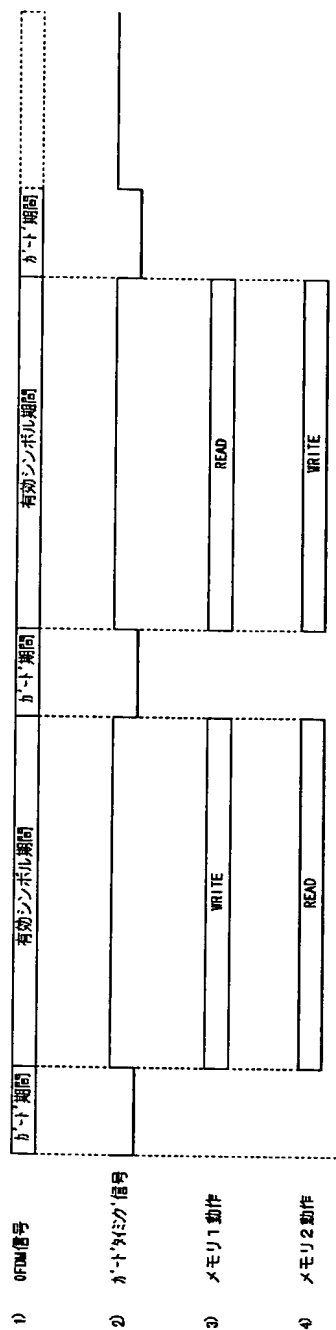




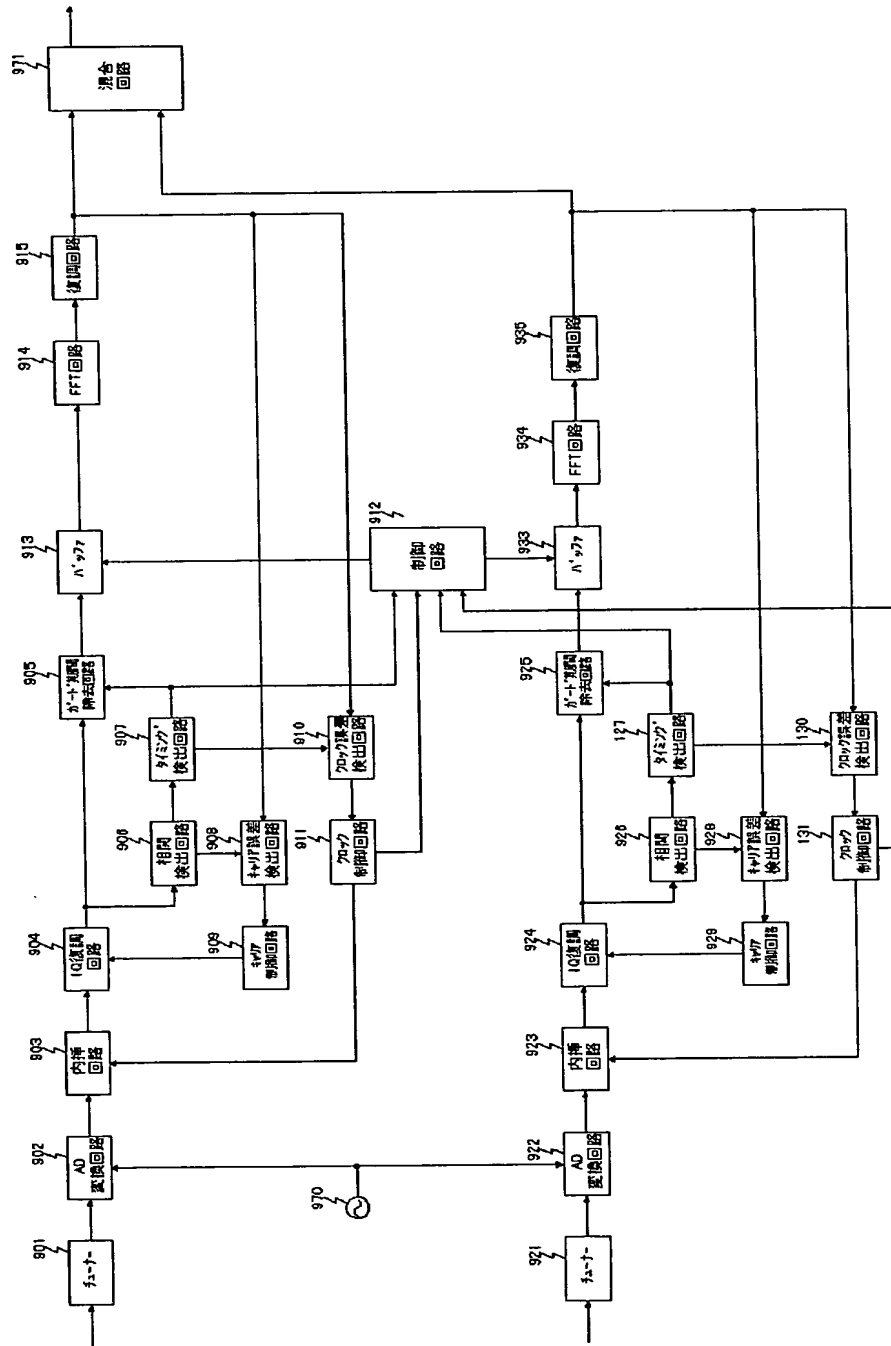
【図 3】



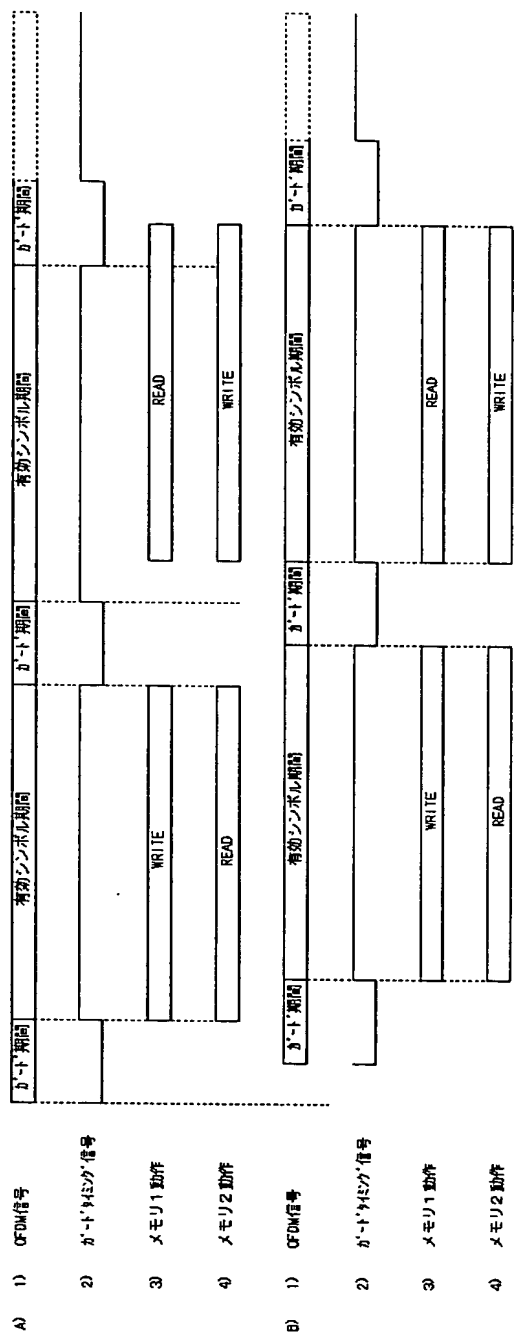
【図 8】



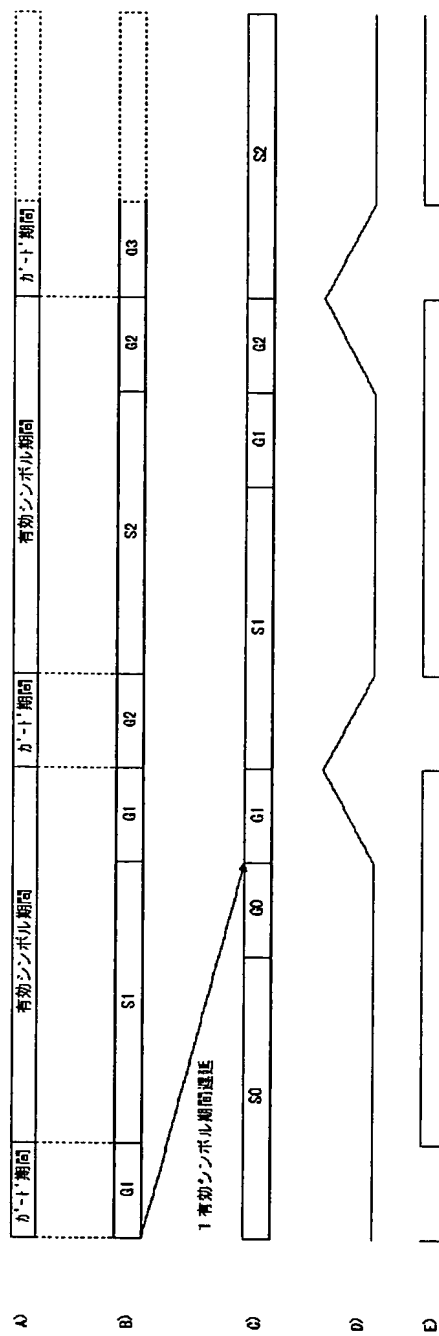
【图 4】



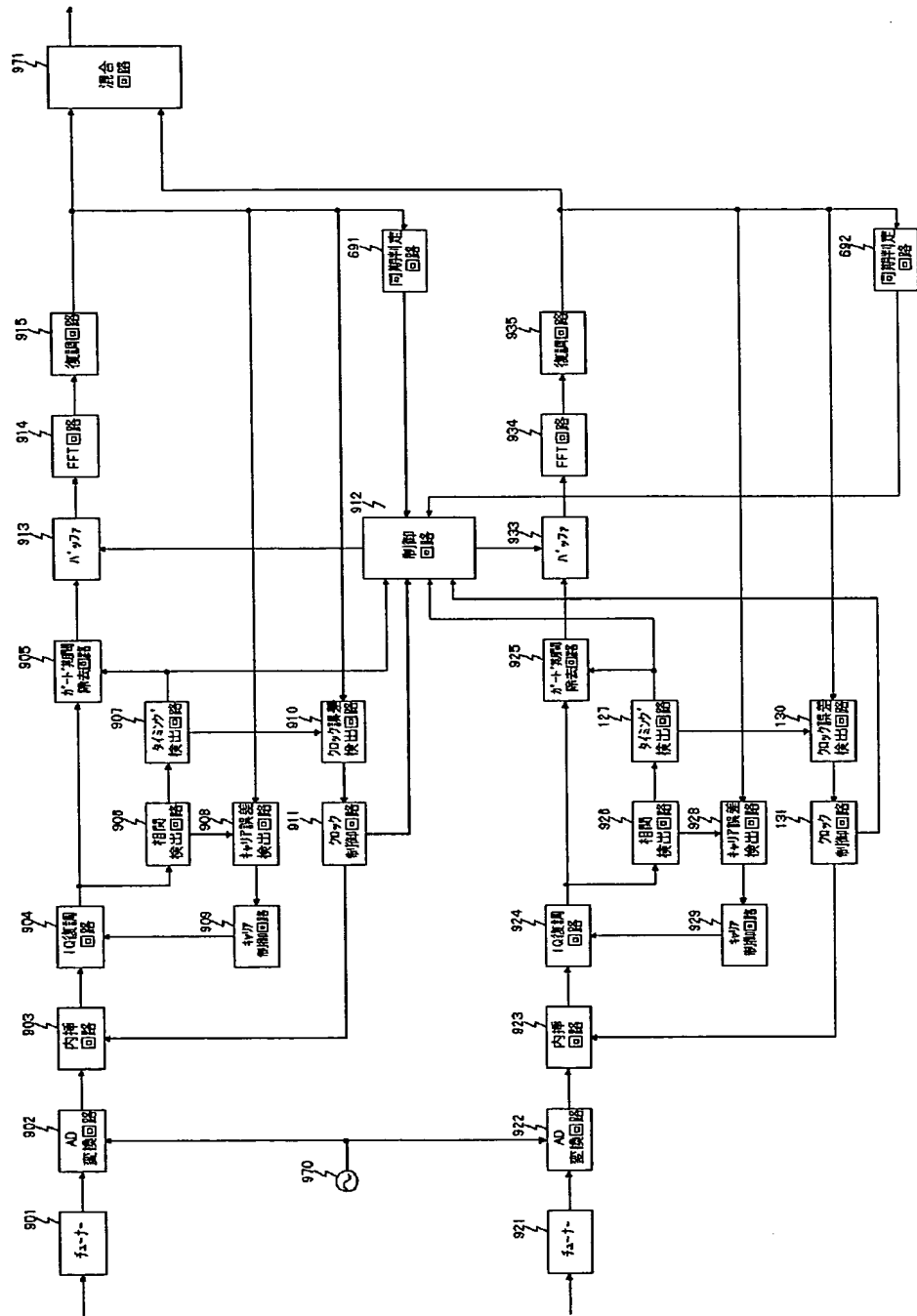
【図5】



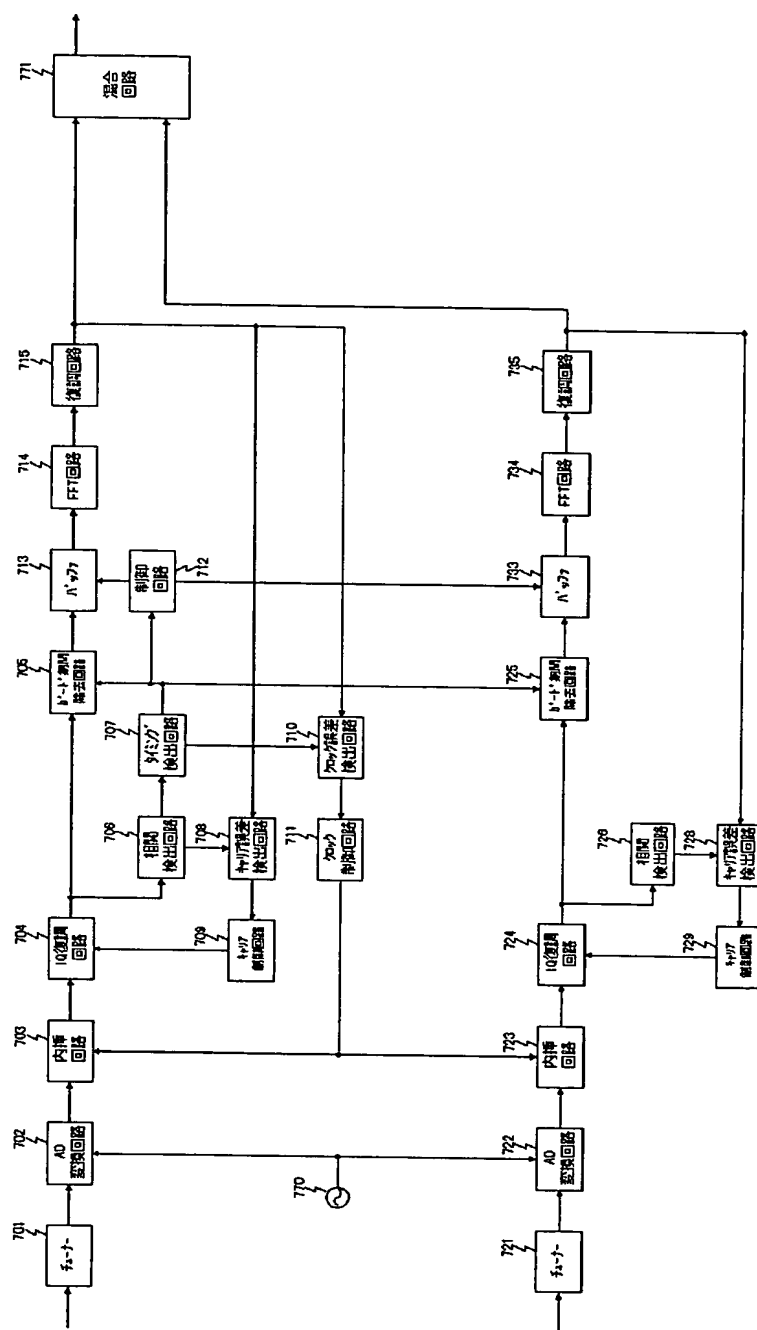
【図7】



【图6】



【图9】



フロントページの続き

F ターム(参考) 5K004 AA05 AA08 FG00 FH08 JG00
JH05
5K022 DD01 DD13 DD17 DD19 DD23
DD33 DD42 DD43

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)